

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-054134
(43)Date of publication of application : 23.02.2001

(51)Int.Cl. H04N 9/68
G09G 3/20
G09G 3/36
H04N 9/64
H04N 9/69

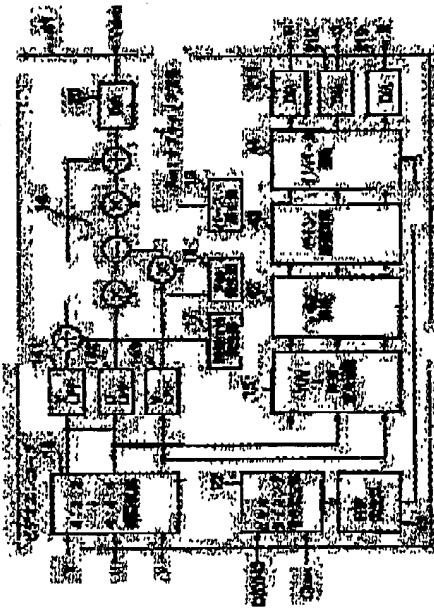
(21)Application number : 11-227646 (71)Applicant : CASIO COMPUT CO LTD
(22)Date of filing : 11.08.1999 (72)Inventor : KOIZUMI NAGATAKE

(54) VIDEO ENCODER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To attain various adjustments in spite of a small circuit scale.

SOLUTION: One integrated circuit has a conversion circuit 15 that converts a 4:4:4 YUV signal into an RGB signal, a gamma correction circuit 42 that corrects the gamma characteristic of the obtained RGB signal, a gain adjustment circuit 43 that adjusts each gain of the corrected RGB signal, an FRP signal generating section 45 that generates an FRP signal that is inverted for each horizontal synchronizing signal timing and a field switching timing of the RGB signal whose gain is adjusted, and an inverter circuit 44 that inverts the RGB signal whose gain is adjusted at a prescribed timing based on the FRP signal.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination] 29.09.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's

NOV. 7. 2005 3:08PM

1-212-319-5101 customer 01933

NO. 2437 P. 50/71

decision of rejection]
[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-54134

(P2001-54134A)

(43) 公開日 平成13年2月23日(2001.2.23)

(51) InLCl' 認別記号
 H 0 4 N 9/68 6 3 2
 G 0 9 G 3/20
 3/36
 H 0 4 N 9/64
 9/69

F I		テ-ヤコト(参考)
H 0 4 N	9/68	Z 5 C 0 0 6
G 0 9 G	3/20	6 3 2 A 5 C 0 6 6
	3/96	5 C 0 8 0
H 0 4 N	9/64	F
	9/69	

審査請求 未請求 請求項の数2 OL (全9頁)

(21)出願番号 特願平11-227646

(22) 出願日 平成11年8月11日(1999.8.11)

(71) 出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72) 発明者 小泉 長武

東京都羽村市栄町3丁目2番1号 カシオ
計算機株式会社羽村技術センター内

(74)代理人 100058479

并理士 鮑江 武蔭 (外5名)

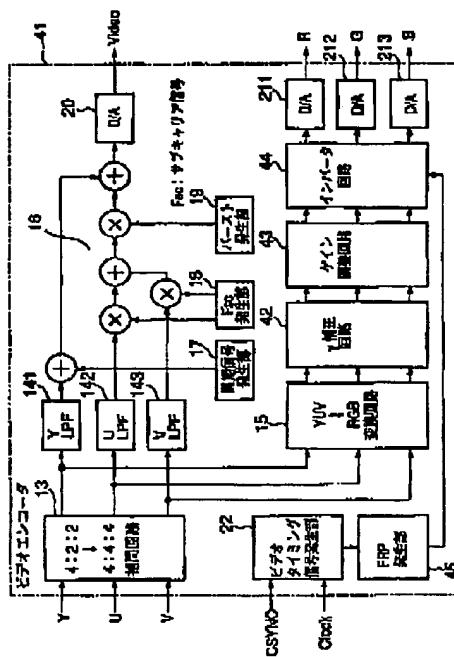
最終頁に統く

(54) 【発明の名称】 ビデオエンコーダ回路

(57) 【要約】

【課題】小さな回路規模としながらも、各種調整を行なう。

【解決手段】4：4：4のYUV信号をRGB信号に変換する変換回路15と、得たRGB信号のγ特性を補正するγ補正回路42と、補正されたRGB信号の各ゲインを調整するゲイン調整回路43と、ゲイン調整されたRGB信号の水平同期タイミング及びフィールド切換タイミング毎に反転するFRP信号を生成するFRP信号発生部45と、そのFRP信号に基づいてゲイン調整されたRGB信号を所定タイミングで極性反転するインバータ回路44とを同一集積回路内に備える。



【特許請求の範囲】

【請求項 1】 YUV信号をRGB信号に変換する変換手段と、この変換手段で得たRGB信号のγ特性を補正するγ補正手段と、このγ補正手段で補正されたRGB信号の各ゲインを調整するゲイン調整手段と、このゲイン調整手段を経たRGB信号の水平同期タイミング及びフィールド切換タイミング毎に反転する反転信号を生成する反転信号生成手段と、この反転信号生成手段で得た反転信号に基づいて上記ゲイン調整手段を経たRGB信号を所定タイミングで極性反転する反転手段とを同一集積回路内に具備したことを特徴とするビデオエンコーダ回路。

【請求項 2】 上記YUV信号中のU, V成分の各ゲインを調整する第2のゲイン調整手段をさらに同一集積回路内に具備し、この第2のゲイン調整手段を上記変換手段の前段に配設することを特徴とする請求項1記載のビデオエンコーダ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、YUV信号からビデオ信号やRGB信号を生成するビデオエンコーダ回路に関するものである。

【0002】

【従来の技術】 例えればデジタルカメラにあっては、撮影により得られるYUV信号から、外部出力するためのビデオ信号と液晶ファインダを駆動するためのRGB信号とを生成するビデオエンコーダが設けられている。

【0003】 図8はそのビデオエンコーダの入出力信号と周辺回路との関係を例示するもので、ビデオエンコーダ11には、撮影により得られたデジタル値のYUV信号と複合同期信号CSYNC及び基準クロックが入力される。ビデオエンコーダ11は、これらの入力によりアナログ値のビデオ信号とRGB信号とを生成して出力する。

【0004】 このうち、RGB信号はアナログTFTインターフェース(I/F)回路12に送られ、ここで外部入力されるFRP(Field Reverse Pulse)信号により水平ライン及びフィールド毎に極性を反転したアナログ値のRGB信号が生成され、液晶ファインダを構成するTFT液晶パネルの駆動回路(図示せず)に供給される。

【0005】 図9は上記ビデオエンコーダ11内の詳細な回路構成を示すものである。同図で、例えばCCIR656フォーマットの8ビット(または16ビット)のパラレル画素データ列である4:2:2のYUVデータがビデオエンコーダ11に入力されると、このYUVデータは補間回路13により4:4:4の同YUVデータ

に補間処理された後にローパスフィルタ(LPF)14 1~143及び変換回路15に出力される。

【0006】 ローパスフィルタ141~143は、YUVの各周波数成分のみを選択的に通過させるもので、その出力が複数の加算器及び乗算器よりなる演算回路16に送られる。

【0007】 この演算回路16では、U, V信号をサブキャリア信号(I_SC)発生部18からのサブキャリア信号のサイン/コサイン位相によりそれぞれ変調した後に加算し、この加算信号にバースト信号発生部19からのバースト信号を重畠し、さらに同期信号発生部17で発振した水平同期信号及び垂直同期信号を重畠したY信号をさらに重畠することによりビデオ信号を生成することができるもので、こうして得られたビデオ信号をD/A変換器20を介することで円滑に変化するアナログのビデオ信号として、外部へ導出する。

【0008】 一方、変換回路15は、4:4:4のYUV信号から直接演算によりRGB信号を算出するもので、その出力をそれぞれD/A変換器211~213によりアナログ化して、上記アナログTFTインターフェース回路12へ出力することとなる。

【0009】 なお、上記複合同期信号CSYNC及び基準クロックは共にビデオタイミング信号発生部22に入力され、ここで各種タイミング信号が生成されて、このビデオエンコーダ11内の各回路に供給される。

【0010】 また、上記ビデオエンコーダ11はアナログのRGB信号を生成するものとして説明したが、対象となるTFT液晶パネルの駆動回路がデジタル動作をするものである場合には、図10に示すような構成となる。

【0011】 図10はそのビデオエンコーダの入出力信号と周辺回路との関係を例示するもので、ビデオエンコーダ31には、撮影により得られたデジタル値のYUV信号と複合同期信号CSYNC及び基準クロックが入力される。ビデオエンコーダ31は、これらの入力によりアナログ値のビデオ信号とデジタル値のRGB信号とを生成して山口する。

【0012】 また、このビデオエンコーダ31に並列して、対象となるTFT液晶パネルでの輝度や色相、彩度等を補正するためのアナログγ補正回路32が設けられる。このアナログγ補正回路32は、与えられる電圧設定値により、TFT液晶パネルの表示素子としてのγ値に対応した信号を出力する。

【0013】 図11は上記ビデオエンコーダ31内の詳細な回路構成を示すもので、基本的には上記図9に示したものと同様であるので、同一部分には同一符号を付してその説明は省略する。

【0014】 しかし、変換回路15の出力するデジタル値のRGB信号は、D/A変換器211~213を介すことなく、直接外部出力される。

【0015】

【発明が解決しようとする課題】 上述した如く図8、図9のビデオエンコーダ11は、出力したRGB信号を表示対象となるTFT液晶パネルの駆動回路に直接供給することができず、アナログTFTインターフェース回路12を併設が必要となると共に、実際にはさらにコントラスト、ブライト、γ、色バランス等の多くの調整を行なう必要がある。

【0016】 また、上記図10、図11のビデオエンコーダ31も、表示対象となるTFT液晶パネルの駆動回路のためにはアナログ補正回路32を併設することが必須となる。

【0017】 このように、4:2:2のYUV信号から、外部出力するためのアナログのビデオ信号と表示対象に供給するためのアナログまたはデジタルのRGB信号とを生成するビデオエンコーダそれ自体は、表示対象の特性等に合わせた各種の補正、調整を行なうための回路を有しておらず、それらの回路を適宜併設することで回路規模が大きくなってしまうと共に、配線等の手間も多大なものとなってしまうという不具合があった。

【0018】 本発明は上記のような実情に鑑みてなされたもので、その目的とするところは、小さな回路規模としながらも、各種調整を行なうことが可能なビデオエンコーダ回路を提供することにある。

【0019】

【課題を解決するための手段】 請求項1記載の発明は、YUV信号をRGB信号に変換する変換手段と、この変換手段で得たRGB信号のγ特性を補正するγ補正手段と、このγ補正手段で補正されたRGB信号の各ゲインを調整するゲイン調整手段と、このゲイン調整手段を経たRGB信号の水平同期タイミング及びフィールド切換タイミング毎に反転する反転信号を生成する反転信号生成手段と、この反転信号生成手段で得た反転信号に基づいて上記ゲイン調整手段を経たRGB信号を所定タイミングで極性反転する反転手段とを同一集積回路内に具備したことを特徴とする。

【0020】 このような構成とすれば、集積回路内でYUV信号から変換したRGB信号に対するγ補正とゲイン調整、及び交流反転駆動のための極性反転を施した後に集積回路外に出力するようになるため、出力したRGB信号を表示対象となる液晶表示パネルの駆動回路に直接供給することができ、小さな回路規模としながらも表示対象の特性等に対応した各種調整を行なうことが可能となる。

【0021】 請求項2記載の発明は、上記請求項1記載の発明において、上記YUV信号中のU、V成分の各ゲインを調整する第2のゲイン調整手段をさらに同一集積回路内に具備し、この第2のゲイン調整手段を上記変換手段の前段に配設することを特徴とする。

【0022】 このような構成とすれば、上記請求項1記

載の発明の作用に加えて、さらに表示対象となる液晶表示パネルに最適なカラーレベルとなるように調整することも可能となる。

【0023】

【発明の実施の形態】 (第1の実施の形態) 以下本発明をデジタルカメラに備えられるビデオエンコーダに適用した場合の第1の実施の形態について図面を参照して説明する。

【0024】 図1はこのビデオエンコーダの入出力信号と周辺回路との接続構成とを示すもので、ビデオエンコーダ41には、撮影により得られたデジタル値のYUV信号と複合同期信号CSYNC及び基準クロックが入力される。ビデオエンコーダ41は、これらの入力により外部出力するためのアナログ値のビデオ信号と、液晶ファインダ構成するTFT液晶表示パネル(図示せず)の駆動回路へ直接供給するための同じくアナログ値のRGB信号とを生成してそれぞれ出力する。

【0025】 図2は上記ビデオエンコーダ41内の詳細な回路構成を示すもので、基本的な処理回路の配置は上記図9で示したものと同様であるので、同一部分には同一符号を付してその説明は省略する。

【0026】 しかし、変換回路15とD/A変換器211～213との間に、γ補正回路42、ゲイン調整回路43、及びインバータ回路44を配設すると共に、ビデオタイミング信号発生部22の出力するビデオタイミング信号からFRP信号発生部45がFRP信号を生成してインバータ回路44に供給する。

【0027】 γ補正回路42は、変換回路15から送られてくるRGBそれぞれの信号の内容を例えば8ビットから10ビットへと増やす過程で、予め表示対象のTFT液晶パネルの特性に対応して設定されているγ補正を施す処理を実行するもので、具体的な手段としては、例えばルックアップテーブルを有するものとして一意に補正後のRGB各信号を読み出すものとしてもよいし、数カ所のポイントを設定しての近似演算を行なうものとしてもよい。

【0028】 ゲイン調整回路43は、D/A変換器211～213の出力特性の相違によるアナログ値のRGBの各信号レベルのばらつきを抑えるべく設けられたもので、その調整はD/A変換器211～213のうちで出力が最小レベルのものに合うように他のものの山力を抑えるようにしている。このゲイン調整回路43が調整するゲインレベルは、マニュアル設定するものとしてもよいし、設定値を自動でビデオエンコーダ41外から取込むものとしてもよい。

【0029】 インバータ回路44は、上記ゲイン調整回路43でゲインレベルが調整されたRGB信号に対し、FRP信号発生部45からのFRP信号に基づいてその極性を水平ライン毎及びフィールド毎に反転して出力するもので、これらの山力がD/A変換器211～213

(1)

特開平13-054134

によりそれぞれアナログ化されて出力される。

【0030】このような回路構成にあっては、このビデオエンコーダ41内で、デジタル値の4:2:2のYUV信号を4:4:4の同信号に変換した後に、ローパスフィルタ141～143、演算回路16、及びD/A変換器20でアナログのビデオ信号に変換する一方、該4:4:4のYUV信号をRGB信号に変換した後、γ補正とゲイン調整、及び交流反転駆動のための極性反転を施した後にD/A変換器211～213でアナログ化してこのビデオエンコーダ41外に出力するようになるため、出力したRGB信号を表示対象となる液晶表示パネルの駆動回路に直接供給することができ、小さな回路規模としながらも表示対象の特性等に対応した各種調整を行なうことが可能となる。

【0031】次に同実施の形態の第1の変形例について図3を用いて説明する。

【0032】同図はビデオエンコーダ51内の詳細な回路構成を示すもので、基本的な処理回路の配置は上記図2で示したものと同様であるので、同一部分には同一符号を付してその説明は省略する。

【0033】しかし、補間回路13で得た4:4:4のYUV信号のうち、色差成分のU、V信号がUVゲイン調整回路52を経てそれぞれゲイン調整された後に上記変換回路15に送られる。

【0034】このUVゲイン調整回路52は、YUV信号中のU、V信号を例えば1/256～512/256倍の範囲内の任意設定値でそれぞれゲイン調整して山力する。

【0035】このような回路構成にあっては、上記図2の回路構成での動作に加えて、さらにYUV信号中のカラー成分であるU、V信号をそれぞれ独立してゲイン調整するUVゲイン調整回路52を変換回路15の前段に配設したため、D/A変換器211～213の山力を供給する表示対象の液晶表示パネルの表示色の特性に最適なカラーレベルを選択して設定することができる。

【0036】さらに、同実施の形態の第2の変形例について図4を用いて説明する。

【0037】同図はビデオエンコーダ53内の詳細な回路構成を示すもので、基本的な処理回路の配置は上記図3で示したものと同様であるので、同一部分には同一符号を付してその説明は省略する。

【0038】しかし、上記UVゲイン調整回路52と同様のUVゲイン調整回路54を補間回路13とローパスフィルタ142、143との間に配設し、D/A変換器20の山力を供給するビデオ信号のカラーレベルをもRGB信号とは独立して調整可能とする。

【0039】このような回路構成にあっては、上記図3の回路構成での動作に加えて、さらに外部出力するビデオ信号もRGB信号とは異なる、最適なカラーレベルを独立して選択して設定することができる。

【0040】また、同実施の形態の第3の変形例について図5を用いて説明する。

【0041】同図はビデオエンコーダ55内の詳細な回路構成を示すもので、基本的な処理回路の配置は上記図4で示したものと同様であるので、同一部分には同一符号を付してその説明は省略する。

【0042】しかし、上記UVゲイン調整回路52、54に代えて、同様のUVゲイン調整回路56を補間回路13の後段に配設し、このUVゲイン調整回路56でカラーレベルを調整したU、V信号と補間回路13から直接出力されるY信号とをローパスフィルタ141～143、変換回路15の双方に供給するものとする。

【0043】このような回路構成にあっては、上記図4の回路構成での動作に代えて、外部出力するビデオ信号とRGB信号とでそれぞれ独立してカラーレベルを可変設定することはできないものの、共通のカラーレベル調整を行なうUVゲイン調整回路56とすることで、重複した回路構成を避け、回路規模をより縮小することが可能となる。

【0044】(第2の実施の形態)以下本発明をデジタルカメラに備えられるビデオエンコーダに適用した場合の第2の実施の形態について図面を参照して説明する。

【0045】図6はこのビデオエンコーダの入出力信号と周辺回路との接続構成とを示すもので、ビデオエンコーダ61には、撮影により得られたデジタル値のYUV信号と復合同期信号CSYNC及び基準クロックが入力される。ビデオエンコーダ61は、これらの入力により外部出力するためのアナログ値のビデオ信号と、液晶ファインダを構成するTFT液晶表示パネル(図示せず)の駆動回路へ直接供給するためのデジタル値のRGB信号とを生成してそれぞれ出力する。

【0046】図7は上記ビデオエンコーダ61内の詳細な回路構成を示すもので、基本的な処理回路の配置は上記図3で示したものと同様であるので、同一部分には同一符号を付してその説明は省略する。

【0047】しかし、インバータ回路44の出力するデジタル値のRGB信号が直接次段へ出力される。

【0048】このような回路構成にあっては、表示対象となるTFT液晶パネルの駆動回路がデジタル信号で動作をするものである場合にも、上記図3で示したビデオエンコーダ51と同様に、出力したRGB信号を表示対象となる液晶表示パネルの駆動回路に直接供給することができ、小さな回路規模としながらも表示対象の特性等に対応した各種調整を行なうことが可能となると共に、さらにYUV信号中のカラー成分であるU、V信号をそれぞれ独立してゲイン調整するUVゲイン調整回路52を変換回路15の前段に配設したため、インバータ回路44の山力を直接供給する表示対象の液晶表示パネルの表示色の特性に最適なカラーレベルを選択して設定することができる。

(5)

特開平13-054134

【0049】なお、上記第1及び第2の実施の形態は、いずれもデジタルカメラに備えられるビデオエンコーダに適用した場合について説明したが、本発明はこれに限らず、YUV信号からRGB信号を得て出力するようなビデオエンコーダであればいずれにも適用可能であることはもちろんである。

【0050】その他、本発明はその要旨を逸脱しない範囲内で種々変形して実施することが可能であるものとする。

【0051】

【発明の効果】請求項1記載の発明によれば、集積回路内でYUV信号から変換したRGB信号に対するγ補正とゲイン調整、及び交流反転駆動のための極性反転を施した後に集積回路外に出力するようになるため、出力したRGB信号を表示対象となる液晶表示パネルの駆動回路に直接供給することができ、小さな回路規模としながらも表示対象の特性等に対応した各種調整を行なうことのできる。

【0052】請求項2記載の発明によれば、上記請求項1記載の発明の効果に加えて、さらに表示対象となる液晶表示パネルに最適なカラーレベルとなるように調整することも可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るビデオエンコーダの入出力信号を示す図。

【図2】同実施の形態に係るビデオエンコーダ内の詳細な回路構成を示すブロック図。

【図3】同実施の形態に係る第1の変形例のビデオエンコーダ内の詳細な回路構成を示すブロック図。

【図4】同実施の形態に係る第2の変形例のビデオエンコーダ内の詳細な回路構成を示すブロック図。

【図5】同実施の形態に係る第3の変形例のビデオエンコーダ内の詳細な回路構成を示すブロック図。

【図6】本発明の第2の実施の形態に係るビデオエンコーダの入出力信号を示す図。

【図7】同実施の形態に係るビデオエンコーダ内の詳細

な回路構成を示すブロック図。

【図8】ビデオエンコーダの入出力信号と周辺回路との接続構成とを例示する図。

【図9】図8のビデオエンコーダ内の詳細な回路構成を示すブロック図。

【図10】ビデオエンコーダの入出力信号と周辺回路との接続構成とを例示する図。

【図11】図10のビデオエンコーダ内の詳細な回路構成を示すブロック図。

【符号の説明】

1 1…ビデオエンコーダ

1 2…アナログ TFT インタフェース回路

1 3…(4:2:2→4:4:4)補間回路

1 4…ローベスフィルタ(LPF)

1 5…(YUV→RGB)変換回路

1 6…演算回路

1 7…同期信号発生部

1 8…サブキャリア信号発生部

1 9…バースト信号発生部

2 0, 2 1 1~2 1 3…D/A変換器

2 2…ビデオタイミング信号発生部

3 1…ビデオエンコーダ

3 2…アナログγ補正回路

4 1…ビデオエンコーダ

4 2…γ補正回路

4 3…ゲイン調整回路

4 4…インバータ回路

4 5…FRP信号発生部

5 1…ビデオエンコーダ

5 2…UVゲイン調整回路

5 3…ビデオエンコーダ

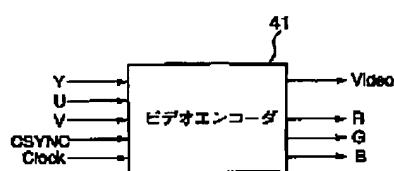
5 4…UVゲイン調整回路

5 5…ビデオエンコーダ

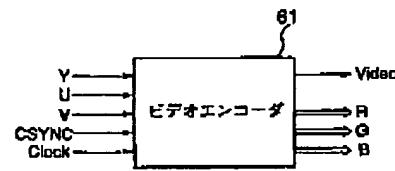
5 6…UVゲイン調整回路

6 1…ビデオエンコーダ

【図1】



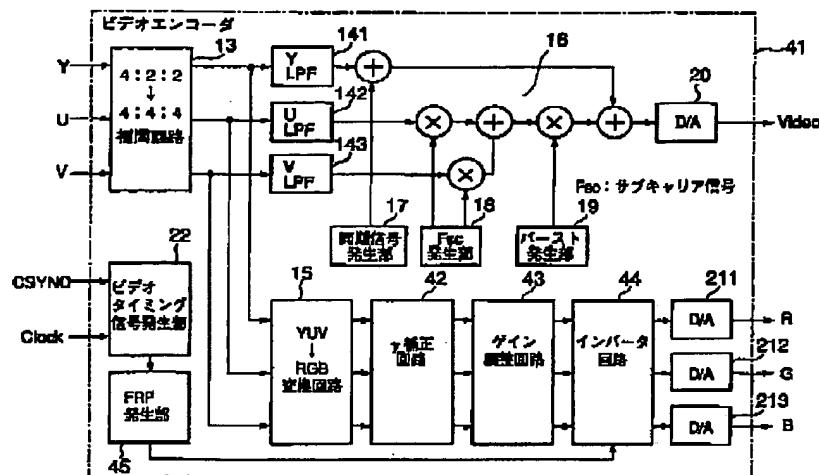
【図6】



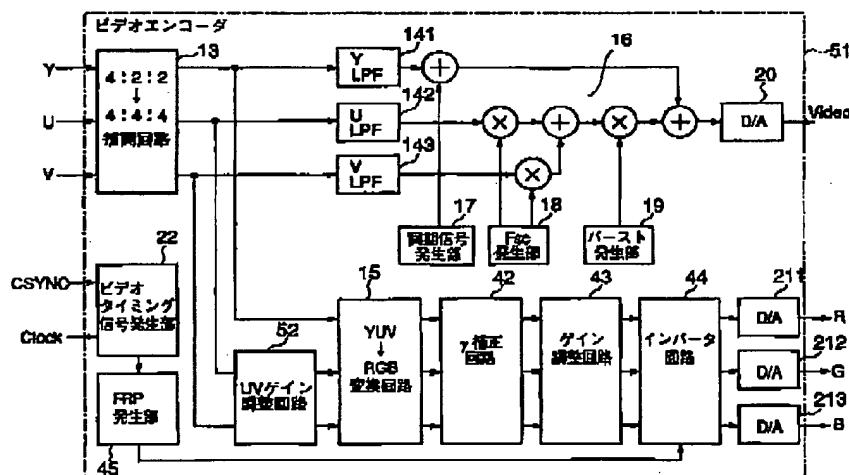
(6)

特開平13-054134

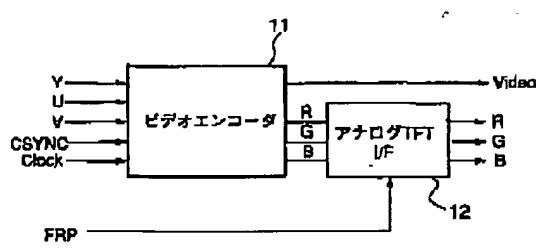
【図2】



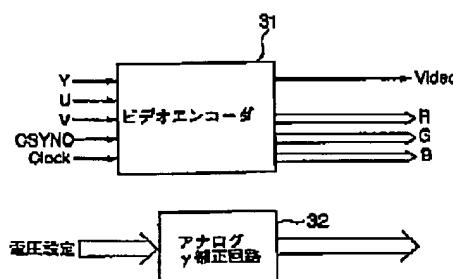
【図3】



【図8】



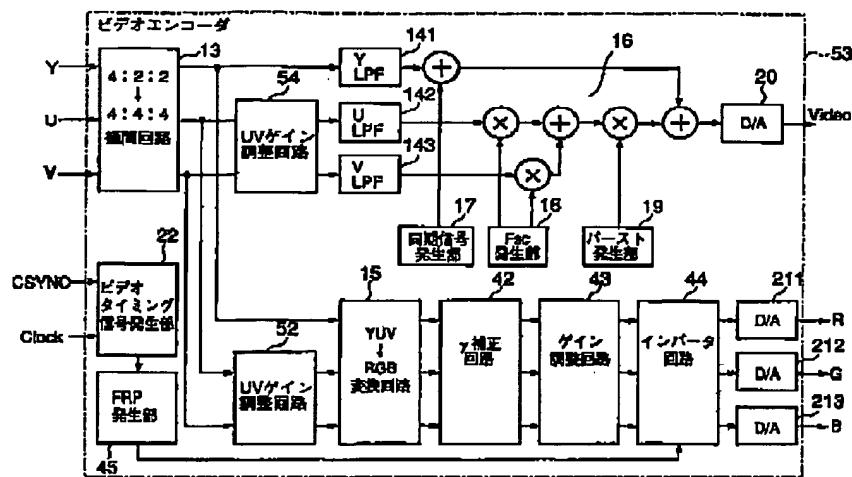
【図10】



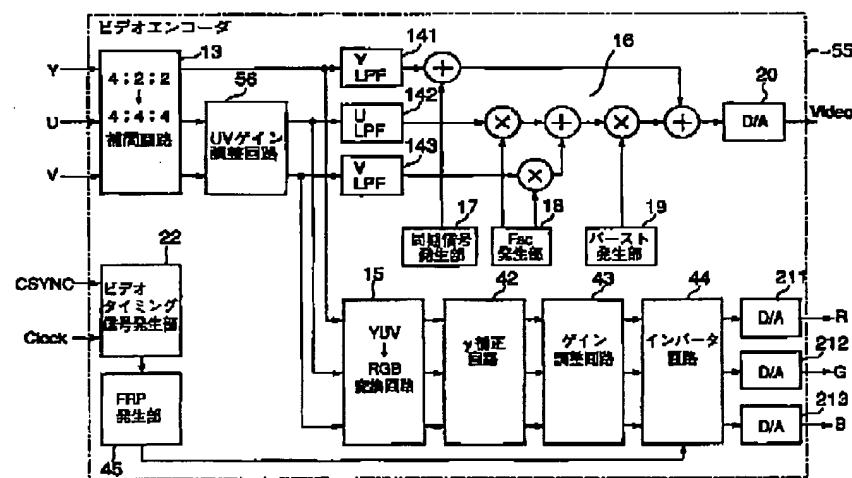
(7)

特開平13-054134

【図4】



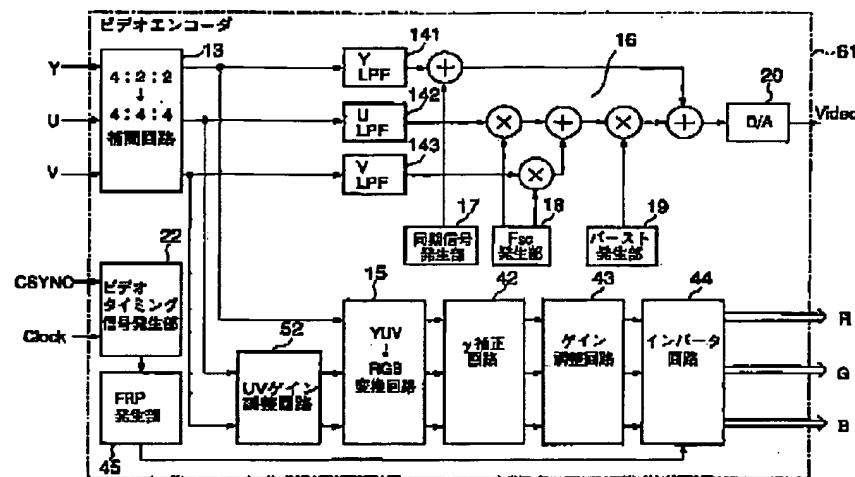
【図5】



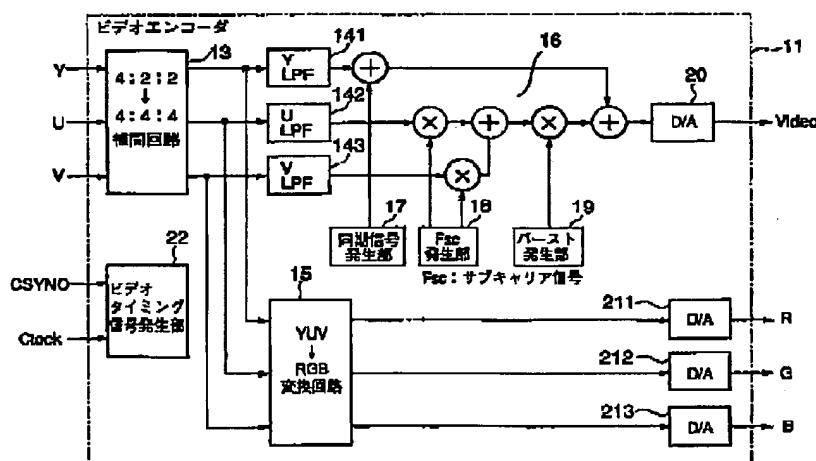
(8)

特開平13-054134

【図7】



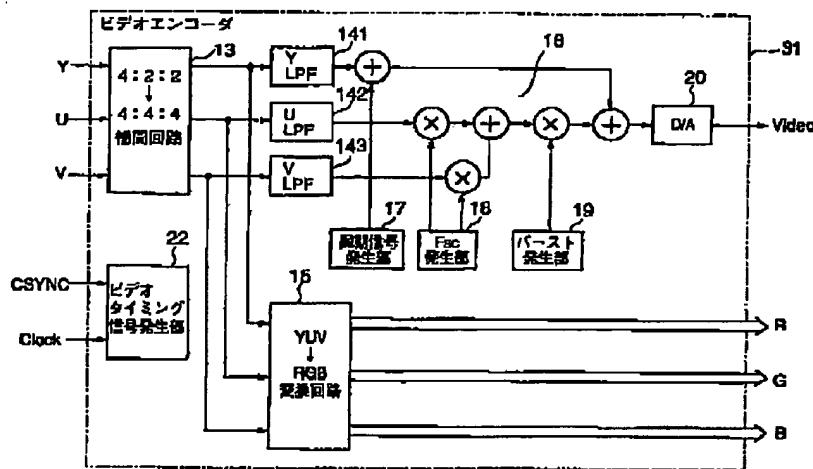
【図9】



(9)

特開平13-054134

[図11]



フロントページの続き

F ターム(参考) 5C006 AA22 AC02 AF46 AF82 BB15
 BC12 BC13 BF21 BF25 BF27
 BF28 EC02 FA41
 5C066 AA20 BA20 CA01 DB02 EC05
 EE02 GA01 GA08 GA13 KA05
 KA12 KE09 KM01 KM13 LA02
 5C080 AA10 BB05 CC03 DD22 FF19
 FF09 GG07 GG08 KK02 KK43
 KK52

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.